

目次

刊行のことば

はしがき

1	命令レベル並列の基礎.....	1
1.1	はじめに.....	1
1.2	制約.....	5
1.2.1	資源制約.....	6
1.2.2	データ依存制約.....	7
1.2.3	制御依存.....	9
2	スーパスカラ・プロセッサ.....	10
2.1	基本構成.....	11
2.2	動的命令スケジューリング.....	15
2.2.1	命令スケジューリングとその複雑さ.....	16
2.2.2	Tomasulo のアルゴリズム.....	22
2.2.3	命令発行論理の詳細.....	34
2.3	正確な例外.....	39
2.3.1	正確な例外の必要性.....	40
2.3.2	リオーダー・バッファ.....	41
2.4	レジスタ・リネーミング.....	54
2.4.1	リオーダー・バッファによる方法.....	56
2.4.2	レジスタ・ファイルによる方法.....	58
2.5	ロード/ストア命令のスケジューリング.....	65
2.5.1	ストア・バッファ.....	67
2.5.2	ロード/ストア・キュー.....	69
2.5.3	ストア・データ・フォワーディング.....	73
2.6	分岐予測.....	74
2.6.1	性能への影響.....	76
2.6.2	静的分岐予測.....	78
2.6.3	n ビット・カウンタ分岐予測.....	81
2.6.4	ローカル履歴 2 レベル適応型分岐予測.....	87
2.6.5	グローバル履歴 2 レベル適応型分岐予測.....	90
2.6.6	ハイブリッド分岐予測機構.....	98
2.6.7	分岐先予測.....	99
2.7	高バンド幅命令フェッチ.....	103
2.7.1	複数分岐予測.....	104
2.7.2	トレース・キャッシュ.....	106
2.8	投機的実行の支援.....	108
2.8.1	投機的実行における問題.....	108
2.8.2	リオーダー・バッファによる支援.....	110
2.9	Intel Pentium 4 プロセッサ.....	114
3	VLIW プロセッサ.....	120
3.1	概要.....	120
3.2	スーパスカラ・プロセッサとの比較.....	123

3.3	スケジューリング・アルゴリズムの分類.....	128
3.4	局所命令スケジューリング.....	130
3.4.1	先行制約グラフ.....	130
3.4.2	リスト・スケジューリング.....	132
3.4.3	リスト・スケジューリングの変形.....	138
3.5	レジスタ割り当てとの干渉.....	145
3.6	広域命令移動の基礎.....	151
3.7	パーコレーション・スケジューリング.....	156
3.8	トレース・ベース・スケジューリング.....	158
3.8.1	トレース・スケジューリング.....	158
3.8.2	スーパーブロック・スケジューリング.....	167
3.9	ループの最適化.....	170
3.9.1	ループ・アンローリング.....	171
3.9.2	ソフトウェア・パイプラインニング.....	173
3.10	ハードウェア支援.....	187
3.10.1	プレディケート実行.....	188
3.10.2	投機的例外処理支援.....	192
3.10.3	投機的メモリ曖昧性除去支援.....	196
3.11	Intel IA-64 アーキテクチャ.....	198
4	おわりに.....	206
	参考文献.....	212
	索引.....	224